

文章编号:1007-2780(2011)01-0105-06

KAI-2093 型面阵 CCD 多模式驱动时序设计

陶明慧^{1,2}, 张星祥¹, 张宇¹, 任建岳¹, 李新娥¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: taominghui0208@163. com;
2. 中国科学院 研究生院, 北京 100039)

摘 要: 针对某航空相机的设计要求, 提出了一种可行的多模式驱动时序设计方法。采用柯达公司的 KAI-2093 行间转移型面阵 CCD 传感器, 结合它的结构特点和双通道数据传输的思想分析了传感器驱动时序关系, 提出了 3 种驱动模式: binning、no-binning 和 TDI 模式。以 Altera 公司的 FPGA 芯片 EP1C6Q240 作为时序发生器并实现数据的缓存和拼接, 从而实现了时序发生器与数据处理器的一体化设计。在 QUARTUSII7. 0 开发环境下采用 VHDL 语言编程, 通过 Modelsim AE6. 1b 实现数据缓存器的仿真。实测结果表明, 所设计的驱动时序满足 KAI-2093 的时序要求, binning 模式下帧频可达 60 帧/s, 120 帧/s 等, 满足高速跟踪要求; no-binning 模式下全帧输出帧频可达 30 帧/s; TDI 模式下能保证 CCD 长时间工作而不影响成像质量, 该设计方法提高了系统的集成度和抗干扰能力。

关 键 词: 航空相机; binning 模式; TDI 模式; 数据缓存; 数据拼接; FPGA

中图分类号: TH386. 5 **文献标识码:** A **DOI:** 10. 3788/YJYXS20112601. 0105

Design for Area CCD KAI-2093 Schedule Generator with Multi-Mode

TAO Ming-hui^{1,2}, ZHANG Xing-xiang¹, ZHANG Yu¹, Ren Jian-yue¹, LI Xin-e¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China, E-mail: taominghui0208@163. com;
2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: This paper put forward an available method aimed at the requirements of aerial camera with multi-mode. Driving schedules of interline transfer progressive scan KAI-2093 CCD sensor produced by Kodak corporation have been examined based on the structure and theory of dual-channel transmission. Three kinds of driving mode have been designed: binning, no-binning and TDI mode. The design takes the FPGA EP1C6Q240 produced by Altera corporation as the schedule generator to realize data cache and mosaics. QUARTUSII7. 0 has been chosen as the software design platform. Driving schedule generator is described with VHDL. The design of data cache and mosaics has been fulfilled though simulation by Modelsim AE6. 1b. Experimental results indicate that the schedule can output CCD signals at the speed of 60 frames/s, 120 frames/s etc in binning mode, which can meet the requirements of moving target tracking with high speed; and can output full frame at the speed of 30 frames/s in no-binning mode; and does not affect image quality for long-time working in TDI mode. The system integration and anti-jamming capability have been improved.

Key words: aerial camera; binning mode; TDI mode; data cache; data mosaics; FPGA

1 引 言

电荷耦合器件 (Charge Coupled Devices, CCD)是集光电信号转换、存储和转移输出为一体的图像摄取固体器件,因其体积小、分辨率高、稳定性好、抗干扰性强、测量误差小等优点被广泛应用于各种成像系统中。航空 CCD 相机^[1]是装载在飞机上以拍摄地表景物来获取地面目标信息的光学仪器,因其机动性好、时效性高、目的性强、相对投入较小等优点而成为获取地面信息的主要途径之一。在实际应用中,航空相机时而拍摄静止物体,时而跟踪动态目标,拍摄静止物体时要求其有很高的分辨率,跟踪动态目标时要求其有很高的帧频,所以分辨率和帧频是影响航空相机应用的关键指标。

目前获得高分辨率、高帧频的 CCD 成像系统主要有两种方法:一种是多个高速小面阵 CCD 同时采集,通过将 CCD 进行光学拼接或者将输出图像进行软件拼接来实现;另一种是利用单一大面阵 CCD 成像,将 CCD 信号分多通道同时输出实现。前者因各 CCD 视场角不同影响成像质量,增加处理时间,存在缺陷;后者则能在保证高分辨率的前提下,提高帧频。

本文采用多通道输出结构提出了一种驱动时序设计方法,具有多种工作模式,模式之间切换简单,可以满足航空相机不同应用场合的要求。设计中采用时序发生器与数据缓存拼接一体化的方式,有效地减少了器件延时给系统实时性带来的影响^[2]。

2 系统时序分析

系统选用柯达公司的行间转移型面阵 CCD KAI-2093 作为图像传感器,其像元尺寸为 $7.4\ \mu\text{m} \times 7.4\ \mu\text{m}$,分辨率为 $1\ 920(\text{H}) \times 1\ 080(\text{V})$,采用微透镜技术,像素速率达 $40\ \text{MHz}$,可单、双通道输出,双通道全帧输出时,帧频最大达到 $30\ \text{帧/s}$ 。

2.1 KAI-2093 工作时序分析

KAI-2093 的光敏区与转移区相间排列,相当于若干个单边传输的线阵 CCD 按垂直方向并排,再在垂直列阵的尽头设置一条行 CCD,行 CCD 的每一位与垂直列 CCD 一一对应,互相衔接。它有两种驱动模式:binning 和 no-binning。当拍摄

静止目标或者跟踪高速大目标时,对图像的分辨率要求比较高,所以 CCD 全帧输出,采用 no-binning 驱动模式;当跟踪超高速目标时采用 binning 驱动模式,以提高帧频,满足动态跟踪的要求^[3]。设计中 KAI-2093 在两种驱动模式下均采用双通道输出模式。

2.1.1 No-binning 驱动模式

在此驱动模式下,KAI-2093 正常工作需要 6 路驱动信号:垂直移位时钟 V1、V2,水平移位时钟 H1、H2,复位时钟 R,控制曝光时间的衬底时钟 VSUB。它的一个工作周期分为两个阶段:曝光阶段和转移阶段。首先衬底出现快门脉冲 (VSUB) 信号,在其下降沿光敏区开始积累电荷,直到 V2 出现曝光结束控制信号,所积累的电荷在 V2 控制下快速由一列光敏区转移到相邻的一列转移区(垂直移位寄存器),曝光阶段结束;转移阶段包括 1 092 个循环,每个循环包括两步转移:第一步是在 V1、V2 控制下完成垂直移位寄存器中电荷向水平移位寄存器的转移;第二步是在 H1、H2 控制下完成水平移位寄存器中电荷向浮置扩散输出节点的转移,此步骤包括 996 个循环,每个循环完成一个像元的转移。曝光阶段和转移阶段循环进行,一个循环代表一帧图像从曝光到转移输出的全过程。复位时钟 R 移除浮置扩散节点的电荷,复位其电压到复位漏极电压,浮置扩散输出节点的电势随每个积累电荷的电荷量呈线性变化,这样就完成了电荷信号到电压信号的转化^[4]。此时,系统的最大像素时钟为 $40\ \text{MHz}$,帧频最快可以达到 $30\ \text{帧/s}$ 。

2.1.2 Binning 驱动模式

Binning 驱动模式就是舍弃一帧图像的一些整行信号,降低分辨率,提高帧频。此模式的工作原理与 no-binning 模式基本相同,区别在于工作周期的转移阶段。此转移阶段包括的循环数随 binning 的级数不同而不同,当 binning 的级数为 N 时,转移阶段的循环数为 $1\ 092/N$,每个循环同样包括两步转移:第一步转移是 V_1 、 V_2 产生 N 个连续的转移脉冲,转移区的电荷整体下移 N 行,有 N 行垂直移位寄存器中的电荷先后转移到水平移位寄存器中;第二步和 no-binning 模式相同。当 binning 的级数为 2 时,一帧图像的实际大小为 $1\ 920(\text{H}) \times 546(\text{V})$,帧频可以达到 $60\ \text{帧/s}$ 。Binning 的级数越高,得到的图像越小,帧

频越高;但图像分辨率的降低必然会引起成像质量的下降,所以 binning 的级数不能选得太高。

2.1.3 TDI 驱动模式

KAI-2093 的结构特征克服了帧转移型面阵 CCD 动态拍照时由相移带来的成像模糊问题,但又具有量子效率较低和成像灵敏度较差的缺点。采用微透镜技术可以弥补这些缺点;但在空间辐照较长时,微透镜容易模糊,也会导致成像质量下降^[5]。针对这种情况,系统采用 TDI(Time Delayed and Integration)驱动方式进行补偿,可以提高成像质量,适用于长时间跟踪动态目标的情况。

TDI 驱动原理如下:假设 TDI 积分级数为 N ,KAI-2093 第一次曝光后,光敏区积累的电荷转移到相邻的转移区,转移区的电荷整体下移一行,CCD 向前推扫一步,接着开始第二次曝光;第二次曝光结束后,CCD 再向前推扫一步,同样只是将电荷由光敏区转移到相邻的转移区,电荷在转移区进行累加,接着转移区电荷再整体下移一行,开始第三次曝光;直到 N 次曝光之后,再将整帧图像输出,在输出图像和下次曝光开始的空隙用电子快门将光敏区的电荷清除掉。此模式要首先计算目标图像在像平面上的移动速度,CCD 向前退扫的速度(曝光时间)要和它相同^[6-8]。

2.2 数据缓存与拼接时序分析

KAI-2093 两通道输出的数据是一帧图像的左右两部分,并且两通道输出图像的方向是相反的,所以需要将整行的数据先存储下来,按照实际的图像顺序进行拼接后才能输出。系统使用 IP 核技术,在 FPGA 内嵌两个双端口 RAM 块构成数据缓存器^[9],为实现实时传输的功能,系统需要 RAM 块同时读写数据。依据这样的要求,生成的 RAM 块每次存储两行的 CCD 信号,存储一行的同时,读出前一时刻已经存储好的数据。两 RAM 块分别存储两个通道的输出数据,采用乒乓结构,实时性更强。FPGA 提供数据缓存器的读写控制信号和地址产生信号。

3 FPGA 设计实现^[10-11]

随着现场可编程门阵列(Field Programmable Gate Array,FPGA)容量、功能以及可靠性的提高,其在现代通信系统中的应用日渐广泛。采用 FPGA 设计数字电路已经成为数字电路系统领域的主要设计方式之一。系统选用 ALTERA

公司的 EP1C6Q240FPGA,它内部有丰富的资源,包括 5 980 个 LEs、20 个 M4K RAM(128×36 bits)块、2 个 PLL、185 个可配置 I/O 口。

在整个系统中,时序发生器是控制电路的核心,主要驱动 CCD 正常工作、进行数据缓存和拼接输出。我们结合 Quartus II 开发工具,使用 VHDL 描述语言来实现电路的设计、仿真、器件编程等全部工作;采用自上问下的设计方法实现了硬件设计的软件化,提高了开发效率和灵活性。

3.1 驱动时序设计及实测波形

当像素时钟达 40 MHz 时,复位时钟的脉宽只有 5 ns(芯片手册中说明),这只有在很高的主时钟下才能达到。基于这样的要求,我们选用 40 MHz 的外部晶体振荡器作为 FPGA 的外部时钟输入信号,使用 FPGA 内部锁相环(PLL)的倍频功能将输入时钟 6 倍频,得到 240 MHz 作为本系统的主时钟^[9]。

KAI-2093 总像元为 $992 \times 1\,092$ (单通道),有效像元为 $960 \times 1\,080$,考虑垂直转移脉冲时间和水平转移脉冲延时时间,实际程序中做出的像面为 $1\,056 \times 1\,094$ 。Binning、no-binning 和 TDI 模式在程序上只反映在 V1、V2、SUB 信号的不同,所以在 FPGA 外部设置 3 个使能按键来对驱动程序进行切换,控制相机的驱动模式,如图 1 所示。

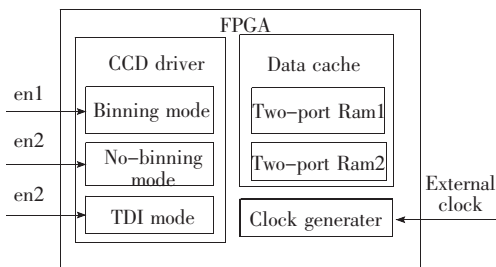


图 1 FPGA 功能框图

Fig. 1 Functional structure of FPGA

CCD 驱动时序的主要 VHDL 代码为:

```
If CLKIN'event and CLKIN='0' then
  if en1='1' then --binning 模式(级数为 2)
    if (pix_count>6 and pix_count<37) or
      (pix_count>66 and pix_count<97) then
      v1_test<='0';v2_test<='1';
    else
      v1_test<='1';v2_test<='0';
```

```

end if;
..... end if;
If en2='1' then  --no_binning 模式
    if pix_count>6 and pix_count<37 then
        v1_test<='0';v2_test<='1';
    else
        v1_test<='1';v2_test<='0';
    end if;
    ..... end if;.....
If en3='1' then  --TDI 模式(级数为 2)
    if h_count>2 and h_count<7 then
        flag_frame<='1';
    else
        flag_frame<='0';
    end if;
    if flag_frame='1' then
        .....
    if f_count>1307 and f_count<2447 then
        hlax_test<='1';
    else
        hlax_test<='0';
    end if;
    if f_count>1807 and f_count<2047 then
        h2ax_test<='0';
    else
        h2ax_test<='1';
    end if;
    .....end if;

```

驱动时序模块设计 3 个计数器,分别是像元计数器 A(即主时钟)、行计数器 B、帧计数器 C。当 A 计到 5 时自动清零,B 加 1;当 B 计到 1 055 时自动清零,C 加 1;当 C 计到 1 093 时自动清零,开始下一个循环。在 no-binning 和 binning 驱动模式中,H1、H2 周期均为 25 ns,占空比为 1:1;R 周期为 25 ns,占空比为 1:4,使用计数器 A 就可实现。V1、V2 在一帧图像的转移中分成两个部分,一部分为行转移,一部分为帧转移。行转移包括 1 092 行,在 no-binning 驱动模式中,在每行用计数器 B 所计的 1 056 个数中,V1 有一个脉宽为 15 个计数器 B 的低脉冲,V2 波形与 V1 相反;在 binning 驱动模式中,V1 有 N 个连续的脉宽为 15 个计数器 B 的低脉冲,V2 波形与 V1 相反。帧转移包括 2 行,两模式相同,用来形成 3 电平信

号。SUB 信号在一帧的某一行出现(可调),脉宽为 2.5 μ s。图 2 为 R、H1、H2 的实测波形,经测量复位时钟脉宽为 4.9 ns,满足要求;图 3 为 no-binning 模式中 V1、H1、H2 的实测波形图;图 4 为 binning 模式中 V1、H1、H2 的实测波形图;图 5 为实测的 CCD 输出信号。测试结果表明,驱动程序产生的时序信号完全能满足 KAI-2093 的驱动要求。

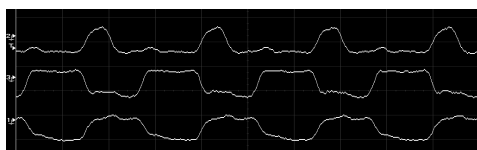


图 2 复位时钟和水平时钟 H1、H2 实测波形。
Fig. 2 Real waveform of reset clock and horizontal clock H1, H2.



图 3 No-binning 模式 V1、H1、H2 实测波形图。
Fig. 3 Real waveform of V1, H1, H2 in no-binning mode.

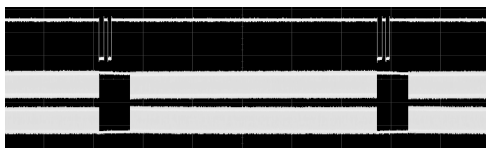


图 4 Binning 模式 V1、H1、H2 实测波形图。
Fig. 4 Real waveform of V1, H1, H2 in binning mode.

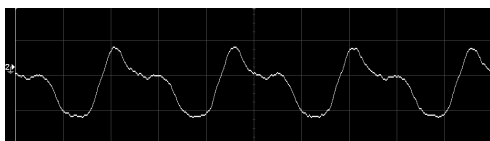


图 5 CCD 输出信号实测波形
Fig. 5 Real waveform of CCD output

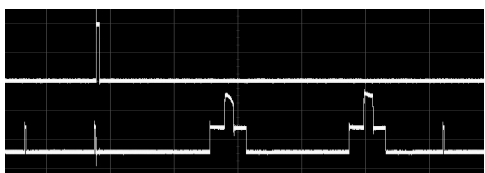


图 6 2 级 TDI 模式 SUB、V2 实测波形图。
Fig. 6 Real waveform of SUB, V2 with TDI stage2.

改变驱动程序中控制曝光的衬底时钟和垂直转移时钟就可以实现 KAI-2093 的 TDI 工作模式,在完成既定时间的曝光积分后,直接将电荷转移到下一行电荷存储区,然后进行下一次积分,直到完成设定的积分级数后,再将整帧图像顺序读出。图 6 所示为实测的积分级数为 2 时的 SUB 与 V2 波形图。

3.2 数据缓存与拼接的实现

图 7 为生成的双口 RAM 块结构示意图。存储单通道两行的数据量大概为 $1\,056 \times 2 \times 10 = 21\,120$ bits,所以双口 RAM 块配置地址线为 11 位,数据线为 16 位,容量为 32 768 bits。EP1C6 具有 92 160 bits 的 RAM 块容量,完全满足要求。

图像数据缓存的具体实现如图 8 所示。每个 RAM 块均被分成低地址区和高地址区,两 RAM 块的写时钟均为 40 MHz、读时钟均为 80 MHz,采用乒乓结构工作方式。CCD 上电后,首先从

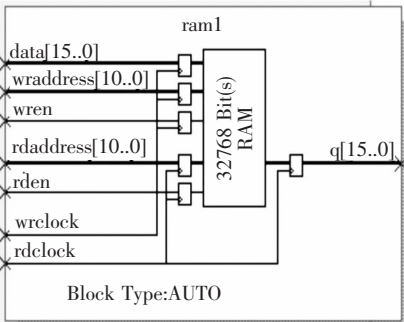


图 7 双口 RAM 结构示意图
Fig. 7 Structure of two-port RAM

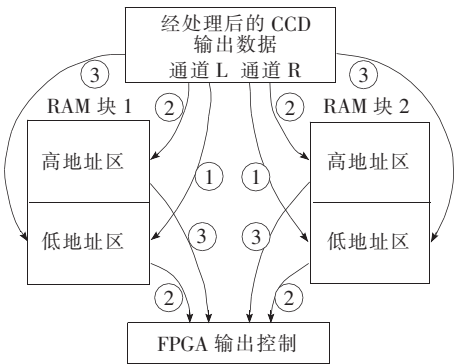


图 8 RAM 块工作方式示意图
Fig. 8 Structure of two-port RAM

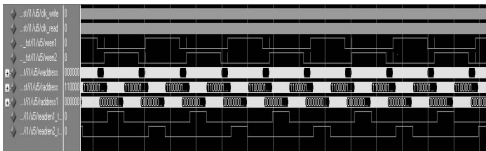


图 9 RAM 块使能信号和地址信号仿真时序图
Fig. 9 Simulated timing diagram of enable and address signal of RAM

CCD 输出通道 L 输出的第一行数据按照地址升序的顺序写入 RAM 块 1 的低地址区,从通道 L 输出的第二行数据同样按照地址升序的顺序写入 RAM 块 1 的高地址区;同时,按照同样的方法从通道 R 输出的第一行数据写入 RAM 块 2 的低地址区,第二行数据写入高地址区;当两通道第二行的数据被写入 RAM 块高地址区的同时,RAM 块 1 低地址区中的数据按照地址位降序读出,数据全部读出后,RAM 块 2 中低地址区的数据按照地址位升序读出,由于读时钟是写时钟的 2 倍,所以当两 RAM 块中低地址区的数据全被读出时,高地址区才完成写入操作,空出的低地址区接着写入第三行数据;如此循环,直到一帧图像完全被拼接好输出。图 9 是用 Modelsim 仿真出来的两 RAM 块的使能信号和地址信号的时序图。

4 结 论

本文的创新在于采用 FPGA 器件设计驱动模式可切换的 CCD 相机时序发生器和数据缓存拼接处理器,使得复杂的电路只用一片 ALTERA 公司的可编程器件 EP1C6Q240 即可实现。此时序设计方法在 40 MHz 的像素时钟、200 万像素的分辨率条件下,图像的帧频可以达 30 帧/s;采用 binning 模式,帧频更是可以达到 60 帧/s、120 帧/s。为改善长时间工作环境下由 CCD 结构带来的图像模糊问题,提出了类似于 TDI 的驱动模式。该设计方案可以使一款航空相机在保证成像质量的前提下既能拍摄静止目标,又能跟踪超高速动态目标。一体化的设计思想简化了电路,提高了系统的集成度和抗干扰能力,是航空相机的一种可靠设计方案^[12-13]。

参 考 文 献:

[1] 程晓薇,车英,薛常喜. CCD 数字航空相机高分辨力成像关键技术与发展[J]. 电光与控制,2009,16(4):7-10.

[2] 陈世平,杨秉新. 空间相机设计与实验 [M]. 北京:宇航出版社,2003;1-18.

[3] Mccurnin T W. Signal processing for low level, high precision CCD imaging[J]. SPIE,1991,1448:225-235.

[4] 王庆友. 图像传感器应用技术 [M]. 北京:电子工业出版社,2006;30-45.

[5] 周怀德,刘海英,徐东,等. 行间转移面阵 CCD 的 TDI 工作方式研究[J]. 光学 精密工程,2008,16(9):1629-1634.

[6] 童子磊. CCD 相机的相移补偿技术[J]. 激光与红外,2005,35(9):628-632.

[7] 许永森,丁亚林,田海英,等. 推扫式航空遥感器像移补偿精度的分析[J]. 光学 精密工程,2009,17(2):453-459.

[8] 郑耿峰,张柯,韩双丽,等. 空间 TDICCD 相机动态成像地面检测系统的设计 [J]. 光学 精密工程,2010,17(3):623-629.

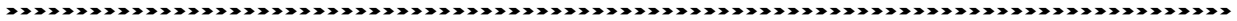
[9] 黄磊,李自田,孟楠,等. 高帧频 CCD 图像传感器驱动时序设计[J]. 电子器件,2009,32(4):262-268.

[10] 宋克柱. 基于 FPGA 的数字时钟设计[J]. 核电子学与探测技术, 2008,28(5):982-986.

[11] 穆欣,胡君,宋启星,等. 空间相机集成测试系统的时钟同步[J]. 光学 精密工程,2010,18(6):1436-1443.

[12] 冉晓强,汶德胜,郑培云,等. 基于 CPLD 的空间面阵 CCD 相机驱动时序发生器的设计与硬件实现[J]. 光子学报, 2007,36(2):364-367.

[13] 商小川,周辉,张星祥,等. 基于 FPGA 的大面阵 CCD 高帧频驱动电路设计[J]. 液晶与显示, 2009, 24(5):735-739 .



物理量量值表示法

物理量量值必须用阿拉伯数字表示。按规定,阿拉伯数字后的单位必须使用我国法定计量单位,在非普及性的科技书刊中,还应使用单位的国际符号。例如:1 m, 5 d,12 m²,4 A,2 000 m³/s,273 K,100~150 kg,30 多 V,400 余 t 等。

在非普及性的科技书刊中,非量值情况下也使用单位的国际符号。例如:“速度的单位为 m/s”,“每 mL 溶液……”等,只要不会引起误解,单位的国际符号可以用于一切使用单位的场合。

对于非物理量的量词前面的数字,一般也应使用阿拉伯数字,包括整数一至十。例如:1 支铅笔,2 台电视,3 组数据。

组合单位加词头的规则

a. 通过单位相乘构成的组合单位,通常词头加在第 1 个单位前面。例如:N·s 加词头 k,应为 kN·s。但常见的法定单位中有 2 个单位例外。一个是电阻率的单位 $\Omega\cdot\text{m}$,通常写成 $\text{k}\Omega\cdot\text{m}$, $\text{M}\Omega\cdot\text{m}$,但当加词头 c 时,则要写成 $\Omega\cdot\text{cm}$;另一个是货运量单位“吨公里”写成 $\text{t}\cdot\text{km}$ 。

b. 通过单位相除或相乘除(分数形式)构成的组合单位,词头一般加在分子的第 1 个单位前,分母一般不加词头。例如:摩尔嫡单位 $\text{J}/(\text{mol}\cdot\text{K})$ 加词头 k,应写成 $\text{k J}/(\text{mol}\cdot\text{K})$,不能写成 $\text{J}/(\text{mmol}\cdot\text{K})$,虽然 $\text{kJ}/(\text{mol}\cdot\text{K})=\text{J}/(\text{mmol}\cdot\text{K})$,但 $\text{J}/(\text{mmol}\cdot\text{K})$ 是不规则的。

- c. 一般不在组合单位的分子分母同时加词头。
- d. 组合单位的分母为长度、面积、体积单位或分子为 1 时,分母可按习惯与方便选用某些词头。
- e. 质量单位 kg 例外。